Таблица 1. Аппаратные ресурсы, затраченные на проектирование дискретной модели сети Джордана (4 входа, 8 нейронов, 9 бит/коэффициент)

|  |  |  |
| --- | --- | --- |
| **микросхема FPGA** | **BELS**  **(AND, OR, XOR, INV)** | **Задержка прохождения сигнала (ns)** |
| 3s500eft256-5 (Spartan3E) | 2482 | 33.5 |
| 6slx16ftg256-3  (Spartan6) | 2482 | 18 |
| XC9500 | 6333 | Не проводилась |

Таблица 2. Аппаратные ресурсы, затраченные на проектирование непрерывной модели сети Джордана (4 входа, 8 нейронов, 32 бит/коэффициент)

|  |  |  |
| --- | --- | --- |
| **микросхема FPGA** | **BELS**  **(AND, OR, XOR, INV)** | **Задержка прохождения сигнала (ns)** |
| 3s500eft256-5 (Spartan3E) | 9243 | 38.2 |
| 6slx16ftg256-3  (Spartan6) | 9065 | 21.7 |
| XC9500 | 24213 | Не проводилась |

**В литература**

1. Ионисян А.С. Исследование утилизации ресурсов FPGA непрерывной и дискретной нейросетями Джордана (Investigation of FPGA utilization of continues and discrete Jordan neural networks) [электронный ресурс] // https://github.com/anserion/JORDAN\_VHDL